

文章编号: 1000-8349(2012)02-236-10

射电天文高速数据采集与处理平台的设计与应用

朱人杰, 项 英, 吴亚军, 罗近涛, 张秀忠

(中国科学院上海天文台, 上海 200030)

摘要: 描述了上海天文台自主设计的一套以 FPGA 为核心, 以 cPCI 总线为桥梁的高速数据采集与处理平台。该平台采用软件无线电技术, 使之能够灵活地应用于不同类型天文终端。介绍了该平台的组成、结构以及性能, 并分析了采用该结构的原因, 同时还介绍了在此平台上的一些已经实现或者可以实现的应用。

关 键 词: 射电天文; 通用; 宽带; 高速

中图分类号: P111.44 **文献标识码:** A

1 引 言

在射电天文观测领域, 射电信号一般分为 3 类: 宽带白噪声信号、谱线和脉冲信号。针对不同的信号, 都会有相应的终端设备与之配套。而随着电子器件的发展, 高速 ADC、超大规模集成电路技术以及可编程器件性能不断提高, 使得软件无线电技术得以在天文上应用, 这种应用, 有望将不同类型的终端设备融合为一体, 实现平台通用化和算法多样化。

目前国际许多国家都在研制类似的数据处理平台, 例如美国 CASPER (Collaboration for Astronomy Signal Processing and Electronics Research) 设计的 iBOB (Interconnect Break-Out Board) 平台^[1] 和 ROACH (Reconfigurable Open Architecture Computing Hardware) 平台^[2], 欧洲 JIVE (Joint Institute for VLBI in Europe) 设计的 Uniboard 平台^[3], 都是基于 FPGA 的数据处理平台, 再配以高速 ADC, 构成的数据采集与处理平台。iBOB 和 ROACH 都是以单片 FPGA 作为运算单元, 配有万兆网络接口和 Z-Dok 接口, 后者用于 ADC 的连接; 而 Uniboard 集成了 8 片 FPGA, 分为两组, 每组 4 片, 两组间的每 2 片 FPGA 之间均有高速互连, 同样配有万兆网络接口。

收稿日期: 2011-11-23; 修回日期: 2012-02-09

资助项目: 国家自然科学基金 (11103066)

上海天文台自主研发的射电天文高速数据采集与处理平台也是利用高速 ADC 将目标信号量化, 再结合 FPGA 内部丰富的资源建立的一套具有数据处理能力的硬件平台。

目前正在建设的上海 65 m 射电望远镜是一架高精度多用途的望远镜, 建成后, 将会用于连续谱、脉冲星、分子谱线、VLBI、大地测量以及飞行器跟踪等多种观测。本文所涉及的高速数据采集与处理平台, 可根据其不同的需要, 在相同的硬件平台上, 实现各自不同的算法。

2 平台结构及性能

本文所研制的射电高速数据采集与处理平台由一台 cPCI 总线的单板计算机和一块或多块信号处理板以及接口板组成。每块信号处理板上有 5 片 Xilinx 公司 Virtex4 系列的 FPGA 和一片高速 ADC — AT84AD001B 以及外围辅助电路。其中一片型号为 XC4VFX 子系列的 FPGA 内嵌 POWER PC, 作为单板计算机与信号处理板的连接桥梁, 负责与 cPCI 总线通信以及对 ADC 的配置和另外 4 片 FPGA 的控制。另外 4 片型号为 XC4VLX 子系列的 FPGA 用于信号处理。结构框图如图 1 所示。

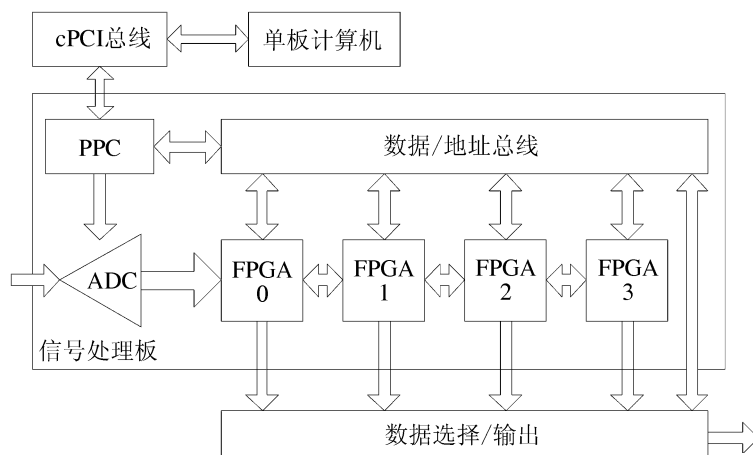


图 1 射电天文高速数据终端结构框图

图中有两条总线, 一条是 cPCI 总线, 由单板计算机控制, 信号处理板上 XC4VFX 子系列 FPGA 内嵌的 PPC 作为一个 PCI 设备, 与之通信; 另一条是普通的数据/地址总线, 由 PPC 控制, 其下连接了 4 片 XC4VLX 子系列 FPGA, 这 4 片 FPGA 内部有各自的数据空间, 可供 PPC 访问。XC4VFX 和 XC4VLX 两种子系列 FPGA 均可根据系统控制、运算复杂程度有多种选择, 使整个平台在性能和成本之间进行平衡。

2.1 采样量化模块

采样量化模块是系统最前端的一级模块, 负责将模拟信号转化为数字信号, 也即通常所说的 A/D 变换。

该模块的核心部件采用的是E2V公司的AT84AD001B双通道高速采样器^[4],该器件有I、Q两个独立通道,每通道最高采样时钟为1 GHz,8位精度,输出端有多路分解器,可将量化后的数据分解成多路输出,以降低输出时钟速率。该器件工作模式有多种,除了普通的双通道独立采样外,还支持交替采样模式。在交替采样模式下,I、Q通道的采样时钟同频反相,两路时钟共同作用于I通道数据,等效于采样率加倍,当采样时钟为1 GHz时,通过这种方法实际采样率可以达到2 GHz,可实现对1 GHz带宽信号的采样。

采样模块的性能主要指ADC的指标,ADC的主要性能参数包括:采样率、有效位数ENOB(Effective Number Of Bits)、信噪比SNR(Signal-to-Noise Ratio)、信噪失真比SINAD(Signal-to-Noise Plus Distortion Ratio)、无杂散动态范围SFDR(Spurious-Free Dynamic Range)和总谐波失真THD(Total Harmonic Distortion)等。常用的测试方法是对采样数据进行FFT,在频域对ADC进行动态性能评估,在这里,我们用ENOB和SFDR来衡量ADC的性能,其它性能指标可以通过这两个指标换算获得。

图2中的(a)和(b)分别为1024 MHz独立采样和双通道交替采样模式(相当于单通道2048 MHz采样)下对ENOB和SFDR的实测结果,输入信号分别为128 MHz(独立采样模式)和256 MHz(双通道交替采样模式)的满幅正弦信号。从图上可以看出,底噪基本保持在-70 dBc左右,SFDR能达到-55~-54 dBc,ENOB在6.5~6.7左右。

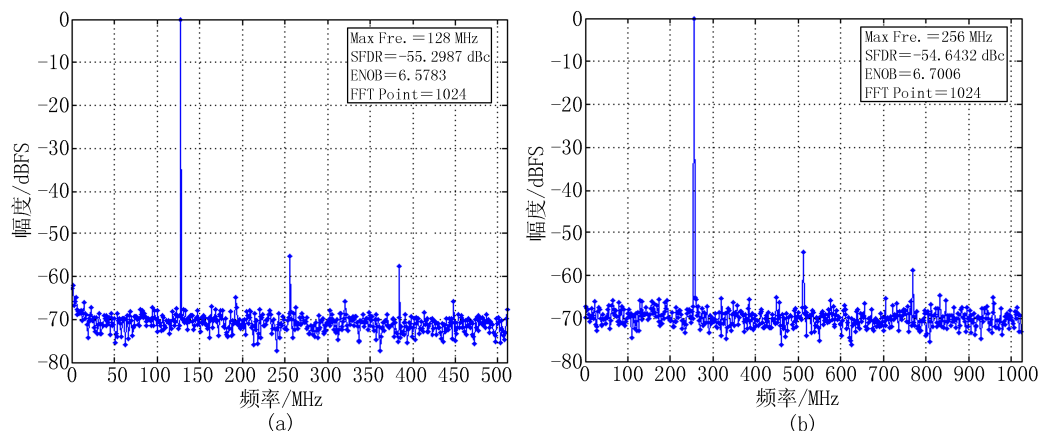


图2 两种模式下的ENOB和SFDR

2.2 数字信号处理模块

信号处理模块用于处理采样量化后的数字信号。该模块由4片级联的FPGA组成4个独立的运算单元,即图1中的FPGA0—FPGA3。表1列出了可供选择的5款FPGA内部资源,用户可根据目标应用的计算复杂度进行选择。每片FPGA工作时钟频率最高可达500 MHz,可并行地对ADC输出的信号进行实时处理。最大容量的FPGA含有96个乘加器(Xtreme DSP Slices资源),在一个时钟周期内,可以同时完成96次乘加运算,结合片内大量的逻辑门单元,以及Xilinx公司提供的多种IP核,可完成复杂的逻辑和运算。

FPGA与ADC的连接,一般都采用并联结构,即ADC的输出同时驱动多片FPGA的

表 1 数据处理模块 FPGA 型号及内部资源^[5]

Device Name		XC4V LX40	XC4V LX60	XC4V LX80	XC4V LX100	XC4V LX160
Package		FF1148				
Configurable Logic Blocks (CLBs)	Array Row×Col	128 × 36	128 × 52	160 × 56	192 × 64	192 × 88
	Logic Cells	41 472	59 904	80 640	110 592	152 064
	Slices	18 432	26 624	35 840	49 152	67 584
	Max Distributed RAM /Kb	288	416	560	768	1056
Xtreme DSP Slices		64	64	80	96	96
Block RAM Blocks	18 Kb Blocks	96	160	200	240	288
	Max Block RAM /Kb	1 728	2 880	3 600	4 320	5 184
DCMs		8	8	12	12	12
PMCDs		4	4	8	8	8
Total I/O Banks		13	13	15	17	17
User I/O		640	640	768	768	768

输入, 如图 3(a) 所示。而本平台却采用了串联结构, 即 ADC 的输出只驱动第一片 FPGA, 后续 FPGA 由前一片 FPGA 驱动, 如图 3(b) 所示, 采用这种结构的原因需要从 ADC 的负载能力考虑。

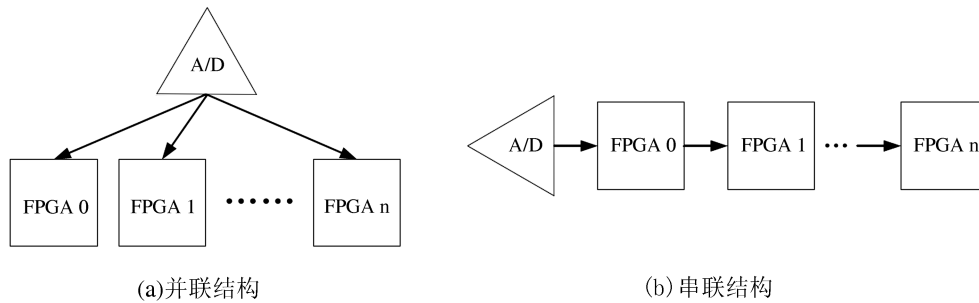


图 3 ADC 与 FPGA 的联接方式

ADC 的输出电容为 15 pF, 驱动电流 I_D 为 12 mA^[4], FPGA 管脚的负载电容为 10 pF, 计算 ADC 的输出电阻为^[6]:

$$R_O = \frac{V_{CCO} - V_{OH}}{I_D} = \frac{2.25 \text{ V} - 2 \text{ V}}{12 \text{ mA}} \approx 20.83 \Omega \quad (1)$$

当输出从低电平转到高电平时, 负载电容的充电常数为:

$$T_{RC} = R_O \times C_L \quad (2)$$

其中 R_O 为 ADC 的输出电阻, C_L 为 ADC 输出端的容性负载, T_{RC} 是输出端电压从低电平状态升至高电平的 63% 所需时间, 升高至高电平 90% 的时间是 T_{RC} 的两倍多一点。一个简单 RC 电路的 10%~90% 上升时间是 RC 乘积的 2.2 倍, 即:

$$T_{10\% \sim 90\%} = 2.2T_{RC} \quad (3)$$

采用串联结构时, $C_L = 10 \text{ pF} + 15 \text{ pF} = 25 \text{ pF}$;

采用并联结构时, $C_L = 4 \times 10 \text{ pF} + 15 \text{ pF} = 55 \text{ pF}$.

代入 (2)、(3) 式, 得到:

采用串联结构时, $T_{10\% \sim 90\%} = 2.2 \times R_{rmO} \times C_L = 2.2 \times 20.83 \Omega \times 25 \text{ pF} \approx 1.15 \text{ ns}$;

采用并联结构时, $T_{10\% \sim 90\%} = 2.2 \times R_{rmO} \times C_L = 2.2 \times 20.83 \Omega \times 55 \text{ pF} \approx 2.52 \text{ ns}$.

ADC 输出时钟为 256 MHz, 数据采用 DDR(Double Data Rate) 方式, 即在时钟上升沿和下降沿均有数据, 每一比特数据只持续 1.45 ns(256 MHz 时钟的半个周期), 所以并联结构的上升时间为 2.52 ns, 大于 1.45 ns, 因此不适用于该系统。

由此可见, 串联结构有效地回避了 ADC 负载驱动能力的问题, 简化了驱动电路; 同时, 串行的 4 片 FPGA 又可以使 4 个运算单元具有多种不同的数据处理模式——并行模式、级联模式以及混合模式。当然, 缺点也是显而易见的, 就是数据到达每片 FPGA 的时间是不同的, 不过这个缺点可以通过 FPGA 内部的数据延时来避免。

(1) 并行模式

在并行模式下, 原始数据流依次通过运算单元, 4 个运算单元可以同时原始数据进行相同或者不同算法的处理, 如图 4(a) 所示, 适用于算法相对简单, 资源占用相对较少, 但数据量较大的应用。此模式下, 相邻两个运算单元中的原始数据会存在延时, 需进行同步处理。

(2) 级联模式

在级联模式下, 每个运算单元完成不同的运算, 如图 4(b) 所示, 前一级完成的结果送至后一级, 作为后一级的输入继续运算。这种模式适用于算法较复杂, 资源占用较多的应用。

(3) 混合模式

混合模式是前两种模式相结合的应用, 图 4(c) 给出了一个范例, 前两个运算单元在级联模式下进行运算, 运算结果送至后两个运算单元进行并行运算。

2.3 接口模块

接口模块可以将信号处理模块的处理结果发送至后续端设备或使用者。接口模块与每个运算单元均有 32 位数据宽度的物理连接, 模块内部可以对这些数据进行选择性输出。运算单元在将数据送至下一级的时候, 同时也可以将运算结果送至输出模块。

接口模块支持天文上特有的 VSI-H 标准, 用于和 Mark5B 记录终端相匹配, 有专用的接口电缆, 单个 VSI-H 接口的数据传输速率最高可达到 $2 \times 10^9 \text{ bit/s}$, 同时预留了通用的 10/100/1000 以太网接口, 这种接口更具实用性, 可用于一般的数据交换。考虑到今后与 Mark5C、硬盘阵列等高速记录设备互联, 万兆网口的输出模块也在研发中。

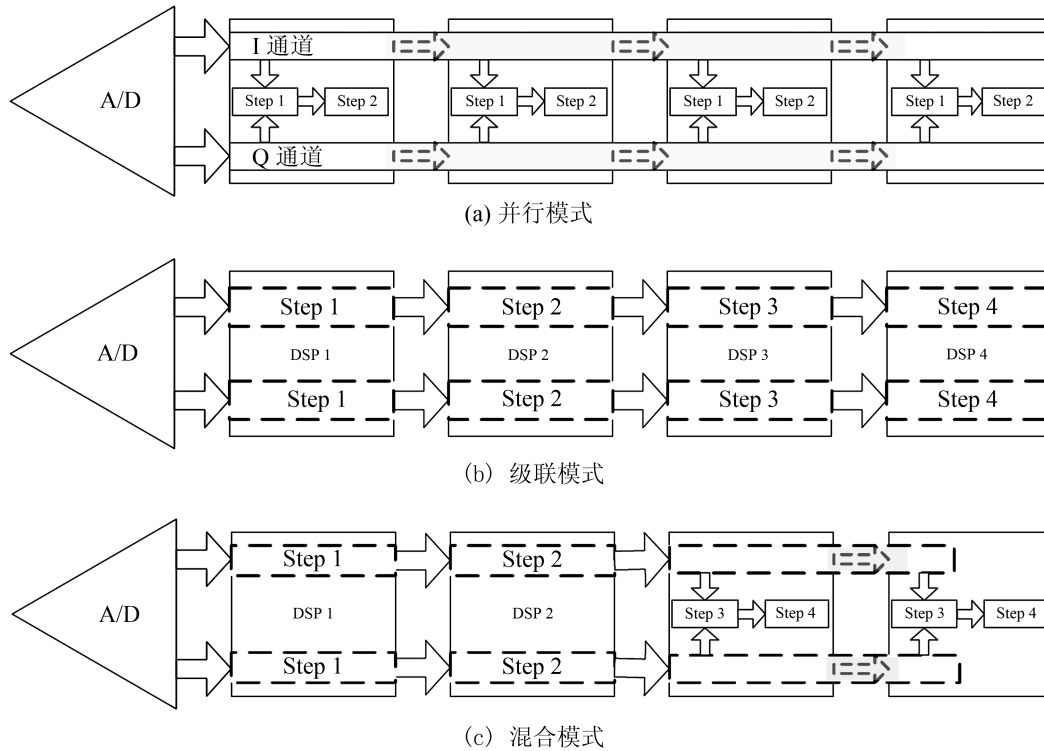


图 4 数据处理模式

2.4 主控模块

主控模块直接面对用户, 提供良好的人机界面, 根据用户的需求, 产生相应的命令和参数, 对各模块进行配置, 同时也对各模块进行状态监视, 从各模块中回读并显示各种重要数据。

主控模块的核心是单板计算机, 而 PPC 则是主控模块和其他模块之间的桥梁与纽带, 如图 1 所示。一方面 PPC 作为 PCI 设备, 挂载在 cPCI 总线上; 另一方面, 又分别与采样量化模块、信号处理模块和输出模块相连, 其中与采样量化模块的连接是通过特定的三线接口 (时钟、数据、使能), 其他模块则通过数据/地址总线连接, 数据/地址总线上的模块, 内部均有各自的地址空间, 所有地址空间实行统一寻址。内嵌 PPC 的 FPGA, 同样可根据控制逻辑的复杂度、对 IO 和需求等, 选择不同容量、不同可用管脚数的芯片, 表 2 列出了可供选择的 FPGA 型号及内部资源。

3 应用

该硬件平台可针对不同天文应用设计不同的算法, 根据算法的复杂程度和结构, 在一片或多片 FPGA 内实现。以下列出了 3 种应用, 有的已经用于实际观测, 有的还在研发中。

表 2 控制模块 FPGA 型号及内部资源^[5]

Device Name		XC4VFX20	XC4VFX40	XC4VFX60
Package		FF672		
Configurable Logic Blocks (CLBs)	Array Row×Col	64 × 36	96 × 52	128 × 52
	Logic Cells	19 224	41 904	56 880
	Slices	8 544	18 624	25 280
	Max Distributed RAM /Kb	134	291	395
Xtreme DSP Slices		32	48	128
Block RAM Blocks	18 Kb Blocks	68	144	232
	Max Block RAM /Kb	1 224	2 592	4 176
DCMs		4	8	12
PMCDs		0	4	8
Total I/O Banks		8	12	12
User I/O		320	352	352

3.1 VLBI 数字基带转换器

基带转换器 (BBC, Base Band Convertor) 是多个领域常用的一种将信号从高频段转移到低频段的设备, 并且都有各自的带宽、频点要求。在 VLBI (Very Long Baseline Interferometry) 观测中最常用的模式是以相同带宽同时对多个频点进行观测, 基带转换器的任务就是分别将这些频点附近的信号经过混频、滤波后, 转移到基带。目前中国 VLBI 网配备的 CDAS (Chinese Data Acquisition System) 系统^[7], 正是基于该硬件平台完成数字信号处理计算的。图 5 为 CDAS 的算法结构, 在该设备中, 每片 FPGA 采用 DDS+LPF 方式, 完成一个中心频率的混频和滤波, 输出一个基带信号, 每片处理板上可输出 4 路基带信号, 当多块板同时处理时, 可输出更多的基带信号。图 6 是 CDAS 与 ABBC (Analog Base Band Converter) 在信噪比方面的对比。数据来源于 UTC 时间 2009 年 9 月 6 日进行的一次代码为 d0906p 的上海—昆明基线 VLBI 观测, 观测对象是河外射电源 OJ287。由于采用了数字化的处理方法, 使得采样后的信号, 不再像 ABBC 那样, 易受器件噪声、温度变化产生的非线性等影响, 从图上可以看出, CDAS 比 ABBC 信噪比高出 25~30 dB。信噪比相当于接收机的灵敏度, 信噪比越大, 说明 CDAS 系统对弱信号处理能力越强。

该数字基带转换器已在上海佘山、北京密云、昆明和乌鲁木齐南山 4 个 VLBI 观测站正常运行, 并在嫦娥二号测轨任务中发挥了重要作用。

3.2 脉冲星终端

脉冲星发射的辐射信号经过星际介质到达观测天线的过程中, 存在色散效应, 该效应导致有一定带宽脉冲信号的不同频率成分到达天线时间有延迟, 影响对脉冲星的观测^[8]。

消色散技术是脉冲星观测的关键技术, 它对脉冲星观测系统的灵敏度和观测精度至关重

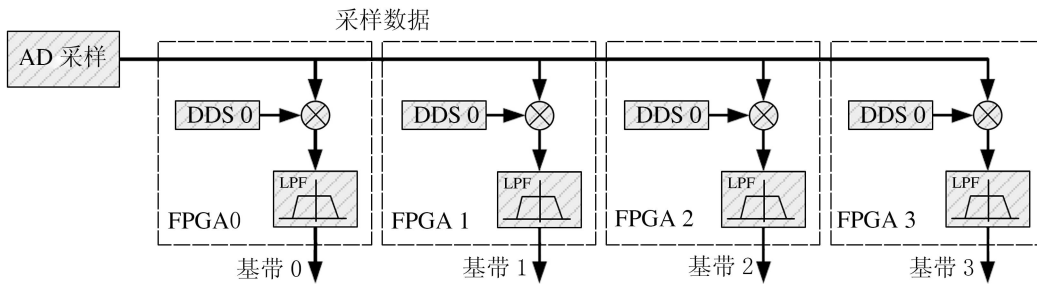


图 5 数字基带转换器结构框图

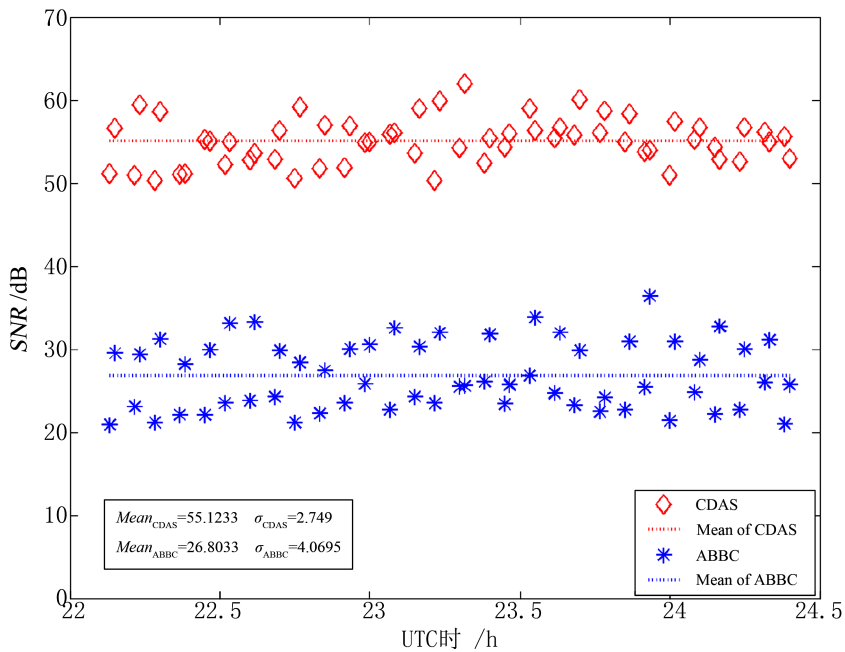


图 6 数字、模拟基带转换器信噪比对比

要。脉冲星接收机的主要功能就是完成消色散任务。它对观测信号进行 Nyquist 采样，并用傅里叶变换将采样数据变换到频域，再与星际介质 Chirp 函数相乘，所得结果再反变换回时域输出，此时即得到相干消色散后的脉冲星信号 [9]。

脉冲星信号通常十分微弱，因此需对消色散所得结果进行折叠，即按照脉冲星周期进行累加，以提高信噪比，同时通过折叠可获得稳定的平均轮廓。图 7 给出了脉冲星终端基于该平台的一种实现方式，并在该平台上进行了原理性验证。

3.3 自相关频谱仪

自相关式频谱仪是 20 世纪 60 年代开始，用于分子谱线观测的终端系统之一 [10]。这种系统分辨率高，同时也便于改变分辨率，故在分米波和厘米波段得到广泛应用。信号被采样、量化、延迟，然后送至乘法器，计算出自相关函数，再进行傅里叶变换，得到信号的功率谱。

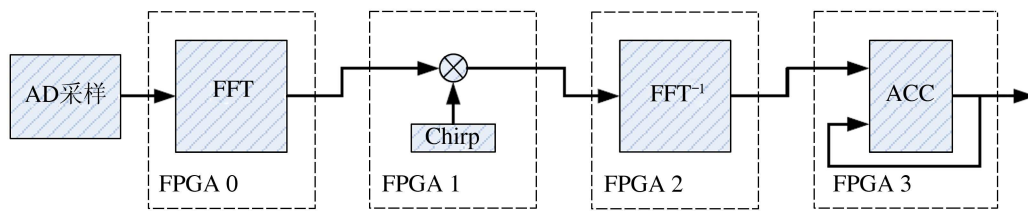


图7 脉冲星终端数据处理结构框图

若 FPGA 容量足够大, 可采取并行处理方式, 以提高分析带宽。

4 总 结

射电天文高速数据采集与处理平台是我国天文终端数字化的一次大胆尝试, 在数字化终端技术发展方面有着重要意义。随着科学和技术的进步, 一方面对观测模式的要求越来越多样化, 对精度的要求越来越高, 对终端的要求也有所不同; 另一方面设备性能、灵活性也在相应地不断提升, 趋于一机多用。两方面相互促进, 既能满足科学实验的目的, 又能使得台站设备配置得以简化, 提高设备利用率。该平台在天文终端领域的潜力, 有待于进一步开发和利用。

参考文献:

- [1] <https://casper.berkeley.edu/wiki/IBOB>, 2011
- [2] <https://casper.berkeley.edu/wiki/ROACH>, 2011
- [3] <http://www.radionet-eu.org/fp7wiki/doku.php?id=jra:uniboard:documents>, 2011
- [4] <http://pdf1.alldatasheet.com/datasheet-pdf/view/112083/ATMEL/AT84AD001BCTD.html>, 2011
- [5] http://www.xilinx.com/support/documentation/data_sheets/ds112.pdf, 2011
- [6] Howard Johnson, Martin Graham. High-Speed Digital Design, 1993: 41
- [7] 朱人杰, 张秀忠, 韦文仁等. 天文学进展, 2011, 32: 129
- [8] 刘立勇, 艾力·伊沙木丁, 张晋. 天文研究与技术, 2007, 1: 72
- [9] 罗近涛, 李斌, 陈岚等. 上海天文台年刊, 2011, 32: 129
- [10] 张坚, 王健华, 罗汉先. 天文学报, 1995, 1: 80

The Design and Application of High Speed Data Acquisition and Processing Platform for Radio Astronomy

ZHU Ren-jie, XIANG Ying, WU Ya-jun, LUO Jin-tao, ZHANG Xiu-zhong

(Shanghai Astronomical Observatory, Chinese Academy of Sciences, Shanghai 200030, China)

Abstract: Different applications need different equipments. The constructions of these equipments are mostly similar while parameters are different. So it is possible to design a general purpose hardware platform for these applications. After that we only need to download different software according to the application.

The platform described in this paper is designed for multi-purpose. It is based on cPCI bus interface and composed of a broadband ADC which can achieve 2G samplings per second and several high performance FPGAs used for controlling and data processing. Considering the capability of the driver, a special construction is adopted between the ADC and FPGAs responsible for data processing. Also the theoretical analysis of the reasons is made in the paper.

Several applications are described in the paper, such as CDAS (Chinese Data Acquisition System) used in VLBI, pulsar receiver and autocorrelation spectral analyzer used in single dish applications. One of them is applied and others are developing now. These applications are just for example but not limited to.

Key words: radio astronomy; general; broadband; high speed