

文章编号: 1000-8349(2010)03-301-09



基于 DSP 与 FPGA 的被动型氢钟 数字伺服系统的研究

陈文星, 林传富

(中国科学院 上海天文台, 上海 200030)

摘要: 基于 DSP 和 FPGA 的特点, 设计了被动型氢钟数字化伺服系统, 实现了对误差信号的处理。采用先进的 DSP 和 FPGA 芯片, 提出了新的解决方案, 整个系统由 FPGA 控制 DSP 工作并实现最后的信号输出, 文中对其硬件结构和软件流程进行了阐述。

关键词: 被动型氢钟; 数字信号处理器 (DSP); 现场可编程逻辑门阵列 (FPGA)

中图分类号: TH714.1⁺4 **文献标识码:** A

1 引 言

众所周知, 精密的时间频率标准在导航、雷达、大地测量、天文观测等方面起着举足轻重的作用。随着现代科技的快速发展, 精密的频率标准已经深入到人们日常生活的方方面面, 同时人们对于高精度、高稳定度的频率标准的要求越来越高。氢原子钟是一种具有高稳定输出频率的时间和频率标准^[1], 它广泛应用于国防、经济和科研等领域中。本文介绍了以 DSP 和 FPGA 作为控制核心的被动型氢钟数字伺服系统。

本设计中选用的芯片 TMS320LF2407 处理器是专门为数字控制应用而设计的一款 16 位定点 DSP 处理器^[2], 它包括 C2XX 内核, 并将实时处理能力和控制器的外设功能集成于单片之中; 带有片上 FLASH 存储器、2 个专门用于工业控制的事件管理器模块、同步通讯接口模块 (SPI)、异步通讯接口模块 (SCI) 等。现场可编程逻辑门阵列 FPGA (field programmable gate array) 器件属于可编程 ASIC 类, 由逻辑功能块排成阵列组成, 并由用户现场编程, 完成逻辑功能块之间的互联, 实现所需要的功能, 因此它具有集成度高、通用性好、设计灵活、编

收稿日期: 2009-09-11; 修回日期: 2009-12-02

程方便等多方面的优点。文中采用的 FPGA 为 Altera 公司的 Cyclone II 系列。

2 系统工作原理

被动型氢钟的工作原理是，压控晶振输出的信号经过综合倍频电路后产生在 f_{1m} 和 f_{2m} 及 f_{1c} 和 f_{2c} 之间跳频的微波探测信号，频率 f_{1m} 和 f_{2m} 在氢原子跃迁谱线中心频率 f_0 的两侧， f_{1c} 和 f_{2c} 在微波谐振腔中心频率 f_c 的两侧，如图 1 所示，此信号交替灌入微波腔中，在微波探测信号的激励下产生的误差检测信号，经放大、检波电路处理后转换成由伺服系统处理的方波调制着的电压信号，直接比较两个相邻半周期鉴频后的信号，即可获得误差信号，用来使晶振锁定在氢原子跃迁谱线中心频率上。同样，由谐振腔产生的误差信号，通过数字伺服电路的处理来修正腔内变容二极管上的电压，使谐振腔的频率锁定在压控晶振上^[3]。

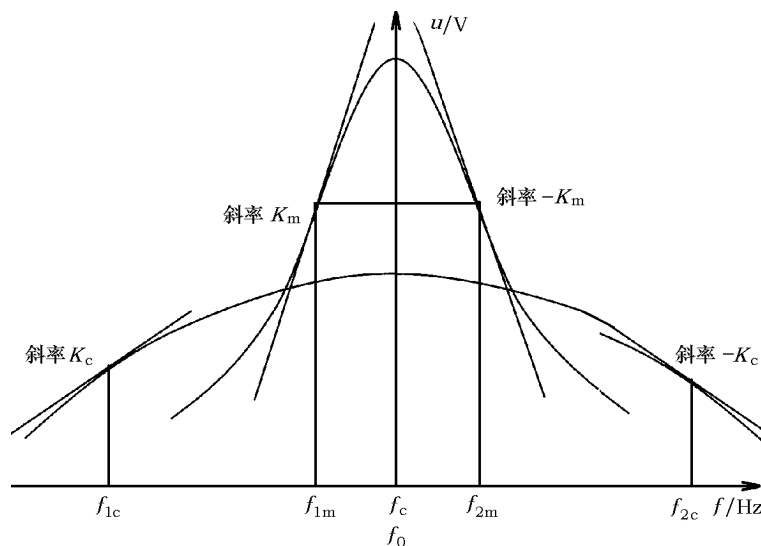


图 1 探测信号作用于氢原子跃迁谱线和微波谐振腔响应曲线

采用两个伺服环路，一个是将晶振锁定在氢原子跃迁谱线上的晶振环路，另一个是将腔频锁定于晶振的腔体回路。采用探测信号分时控制的方式完成对晶振和微波谐振腔频率的控制。

3 硬件设计

系统硬件组成如图 2 所示：该系统主要由 DSP、FPGA、AD 晶振、数字电位器和两个 DA 组成，其中 DSP 的主要功能是对采集到的误差信号进行处理，采用的是增量式 PID 算法。由于选用的是 TMS320LF2407，此芯片中内置 10 位 AD 转化器，精度不高，而系统又需要处理两路的误差，因此选用了 AD 公司的 12 位双通道模数转换器 AD7321，而且在软件程序设计中加入了过采样技术，达到 16 位采样精度的性能，大大提高了系统的性能。这里对过采样技术作简要说明：在采样过程中首要问题是采样频率的选择，Nyquist 采样定理指出，

若连续信号 $x(t)$ 是有限带宽的, 其频谱的最高频率是 f_c , 对 $x(t)$ 采样时, 若保证采样频率 $f_s \geq 2f_c$, 那么就可由采样信号恢复出 $x(t)$; 过采样技术指的是在采样过程中选用比 Nyquist 频率更高 (假定增大 K 倍) 的采样率, 这样做的好处是在较低分辨率的情况下就可以达到高分辨率所能达到的信噪比, 提升了信号采集的质量; 然后经过数字滤波, 所用滑动平均滤波器的 Z 变化是 $H(z) = \frac{1}{N} \sum_{n=0}^{N-1} z^{-n}$, 最后对数据抽取, 即在数字滤波中计算每 K 个输出值就可以得到过采样后的数值 [4]。

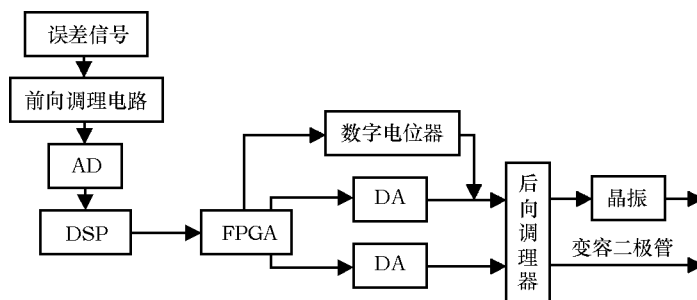


图2 伺服系统的硬件结构图

FPGA 的作用是产生整个系统需要的比率、调制和消隐信号, 控制 DSP 的工作, 并存储最后结果; 另外在 FPGA 中还设计了数据 / 程序存储器, 作为 DSP 扩展 RAM, 节约了资源。设计中选用的 FPGA 为 Altera 公司的 Cyclone II 系列, 具有 4 096 个 LEs, 为以后将频率综合器部分集成在一块芯片上提供可能。由于 DSP 的 SPI 接口输出的是串行数据, 而选用的 DA 是并行输入的, 所以在 FPGA 中设计了一个串 / 并转换模块, 这个模块收到 DSP 发送数据的开始信号后, 在比率信号的控制下, 将输入的串行数据转换得到所要的并行信号并输出。

系统中有两个 DA, 其中一个为 10 MHz 晶振 (电调率约为 3 Hz/V) 提供压控电压输入, 另一个为腔体提供输入 (给变容二极管提供压控电压), 因为腔牵引效应会对被动型氢钟的频率稳定度指标有所影响, 所以系统中把腔体的误差信号也作为输入的一部分进行处理, 将腔体的频率锁定在 10 MHz 晶振上。探测信号的频率为 1.4 GHz, 微波步进量为 10^{-12} , 相应的 10 MHz 晶振的变化应该为 $10 \text{ MHz} \times 10^{-12} = 10^{-5} \text{ Hz}$, 相应的控制电压变化范围为 $10 \mu\text{Hz} / (3 \text{ Hz} \cdot \text{V}^{-1}) = 3 \mu\text{V}$ ($3 \text{ Hz} \cdot \text{V}^{-1}$ 为 10 MHz 晶振的电调率)。因此晶振的 DA 控制精度应该达到 $3 \mu\text{V}$ 。根据腔牵引效应及 10^{-12} 的稳定度要求知腔频的可变化 $\Delta f_c \approx 140 \text{ Hz}$, 而变容二极管的灵敏度约为 3 kHz/V, 因此腔频的控制精度应该不大于 47 mV。基于以上分析, 为了节省成本和接口方便的考虑, 设计中为晶振提供电压输入的 DA 是 TI 公司的 DAC7641, 这是一种 16 bit 的 R-2R 型 DAC, 外接 $\pm 1.25\text{V}$ 参考电压, DNL 为 $\pm 1 \text{ LSB}$, 数据建立时间为 $10 \mu\text{s}$, 输出分辨率可以达到 $40 \mu\text{V}$, 通过外部电阻分压可以使分辨率提高到 $3 \mu\text{V}$ 。而选用 AD 公司的 AD7245, 这是一种具内置参考源的 12 bit 模数转换器, 输出电压范围是 0~10 V, 输出分辨率可以达到 2 mV, 完全达到了腔体输出分辨率的要求。

误差信号送入系统后, 首先经过前向调理电路, 增大了阻抗, 接着由 DSP 控制 AD 采样, 得到的结果由 SPI 接口送入 FPGA 中, 经过后向调理电路的放大, 最后再输出给两个 DA,

完成整个系统的工作。

还有一个需要说明的是，由于氢原子跃迁谱线宽度非常窄，一般宽度只有 4 Hz 左右，超出此范围，就不能获得系统的误差信号，从而也就无法锁定。搜索谱线中心点原理是由晶振环路误差的 S 曲线特征寻找其锁定点。晶振环路误差的 S 曲线如图 3 所示，图中横坐标为探测信号的频率，纵坐标为晶振环路误差。可见随着探测信号的频率由低到高跨越氢原子跃迁谱线中心频率 f_0 时，其误差也由负变正。而在远离氢原子跃迁谱线中心频率输出的误差基本为零。晶振预锁定过程就是利用此曲线的特征，在从低于氢原子跃迁谱线中心频率的某一个频率点开始对晶振环路的误差进行积分，当探测频率由低变高，高于谱线中心点某一个值的时候，积分值由负变正，这样就可以确定中心点的位置。在本系统中采用晶振环路 DA 与数字电位器输出相加作为晶振控制电压来逐步改变探测频率搜索晶振锁定点。采用的数字电位器是 MAX5481 [5]，它是 MAX 公司带有引脚可设置的递增 / 递减或 SPI 兼容接口、1024 抽头、非易失数字电位器，器件采用 3mm×3mm、16 引脚 TQFN 封装。

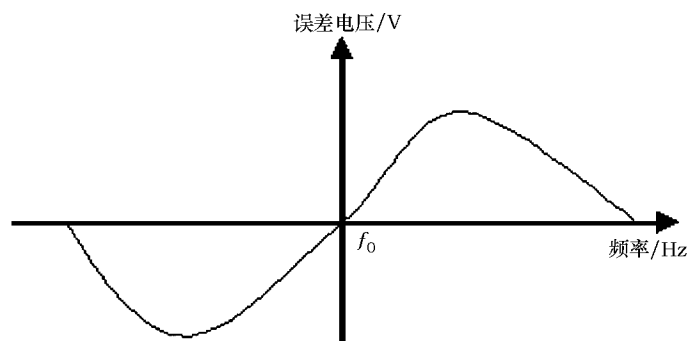


图 3 晶振环路误差 S 曲线

另外 FPGA 电源电路的设计，它采用的是美国国家半导体公司提供的专门为 Altera 公司 FPGA 的解决方案，使用国家半导体公司 POWER EXPERT 软件设计，选用的是 LM2852 电源芯片，产生 Cyclone II 所需的 3.3 V 以及 1.2 V 的电压。具体的实现电路如图 4 所示。在 FPGA 内部有监控电源电压的功能，当电源电压低于一定值时就会自动复位 FPGA。而 DSP 的电源芯片是由 TI 公司的专用芯片 TPS7333Q，输入为 5 V 电压，可输出所需稳定的 3.3 V 电压。具体的实现电路可参见 TI 公司提供的芯片数据手册。

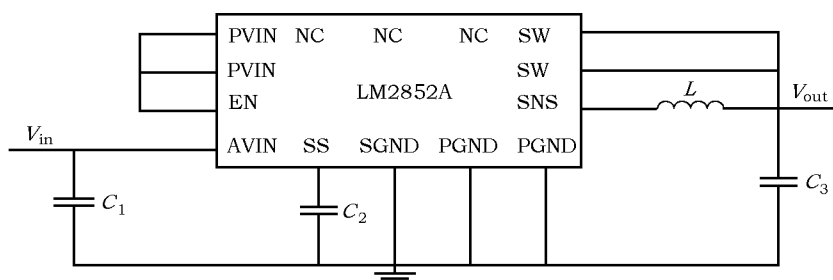


图 4 FPGA 电源电路图

4 软件设计

4.1 整个系统的软件流程

如图 5 所示, DSP 控制软件采用 C 语言和汇编语言结合编程。DSP 程序是整个系统软件的核心部分, 主要负责系统初始化、AD 采样、PID 控制运算与 SPI 输出。主程序的主要任务是在系统上电复位和整个系统初始化以后, 等待比率信号的到来, 由 DSP 的高优先级外部中断引脚捕获到这个信号以后产生中断 1, 这一步的作用是为了同步晶振环路和腔体环路的信号, 开始对误差信号采样, 并设置晶振环路和腔体环路的标志位, 判断出是所要的中断后, 即不必再等待; 如果不是所要的中断, 那么就要继续等待, 直到中断到来再开始采集信号。这一步完成以后即开始真正的数据处理过程, 由 DSP 的 Capture 中断引脚等待消隐信号下降沿的到来, 捕获到这个下降沿以后就会产生中断 2, 将标志信号加 1, 使能 AD 中断采样数据, 这样做是为了确保采样周期的正确性, 并判断标志信号是否为 2。如果不是, 接着等待消隐信号下降沿的中断, 将标志信号加 1, 同样进行 AD 采样数据, 并判断标志信号是否为 2, 如果为 2 通过对采样数据平均滤波后, 比较前后两个消隐信号中断中得到的采样数据得到误差信号, 再经过 PID 控制算法的加权累加^[6](晶振环路和腔体环路有不同的 PID 参数), 将得到的数据送给 DSP 的 SPI 接口, 最终传送给 DA 输出数据。完成整个过程后, 将标志信号置零, 进行下一个循环的操作。

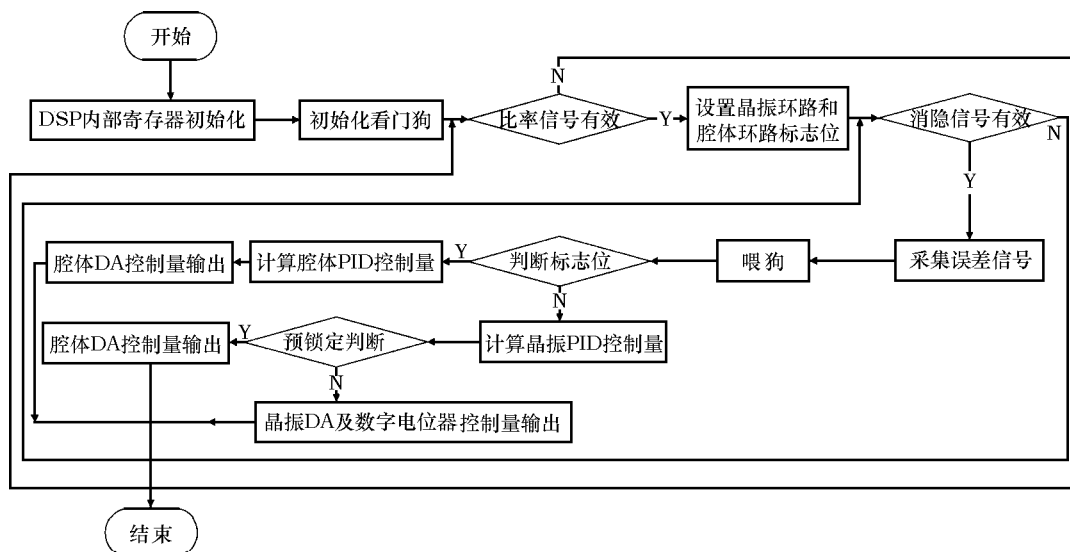


图 5 系统软件流程图

在 SPI 模块发送数据时, 同时将 DSP 的一个 IO 口设置成输出方式, 并在 SPI 接口发送数据的同时, 再发送一个 FPGA 中的串 / 并转换模块使能信号, 保证转换模块输入的信号确实为 DSP 的 SPI 接口发送的数据。

在被动型氢钟锁定前需要有一个预锁定的过程, 系统上电后首先初始化晶振搜索电压的起始点, 即将数字电位器的输出设定为一个初始值, 此后按照设定的步长每次递增 DAC7641

的输出, 增加晶振的控制电压, 当 DAC7641 的输出超出范围时, 则将其置零, 同时将数字电位器的输出增加, 进行下一个循环的搜索, 逐步搜索晶振的压控范围, 直到找到锁定点为止。判断锁定点的条件是误差信号的积分值连续减小 4 次; 另外, 由于晶振环路误差信号只有在锁定点附近才能出现, 因此判断是否达到锁定点时又加上了误差信号的绝对值必须大于一个特定值的条件。必须同时满足这两个条件才能认为真正进入了锁定点, 这样可避免将晶振锁定在氢原子频标的谱线外的假锁定现象。

4.2 FPGA 设计

FPGA 部分采用 Verilog HDL 硬件描述语言设计, 综合工具为 Altera 公司的设计软件 Quartus II 5.0, 主要实现的是整个系统所需要的比率、调制和消隐信号, 还有两个存储输出数据的寄存器, 以及 DSP 所需的外部 RAM。时钟进入 FPGA 中经过芯片内部的 PLL 倍频^[7]后作为系统时钟, 输入的时钟为晶振的 10 MHz 信号, 经过倍频后的系统时钟为 40 MHz。在芯片内部有两个 PLL, 一个被用于产生调制信号, 另一个产生消隐信号。具体实现是由 Verilog HDL 语言设计计数器, 将时钟信号分频, 得到周期为 0.8 s 的调制信号, 在这个基础上再设计一个 5 分频的计数器将 0.8 s 信号分频得到比率信号。消隐信号的产生与此同理, 不同的是在这个 PLL 中设计了大约 1×10^{-9} s 的延时, 同样经过分频以后得到消隐信号。

RAM 和寄存器的设计是用 Altera 公司的设计软件 Quartus II 中的 MegaWizard Plug-In Manager 功能, 这个功能可以建立或修改自定义宏功能模块变量的设计文件, 输入想要的规格指标, 即可生成所需模块的 Verilog HDL 语言描述的文件。

4.3 PID 控制算法

PID 算法就是比例、积分和微分算法。PID 算法是在工业应用中常见的控制算法。PID 控制器是一种基于“过去”、“现在”和“未来”信息估计的简单算法。其控制品质对过程特性的变化灵敏度比较低, 调节器参数调节比较容易; 具有无残差调节功能, 精度较高。根据递推原理可得:

$$\Delta u(k) = K_p \Delta e(k) + K_i e(k) + K_d [\Delta e(k) - \Delta e(k-1)] , \quad (1)$$

此式即为增量式 PID 算法, 其中 K_p 、 K_i 和 K_d 分别为比例系数、积分系数和微分系数; $\Delta e(k)$ 为误差增量, $\Delta e(k-1)$ 为上一次的误差增量, $\Delta u(k)$ 即为输出值。单纯的 PID 控制系统为 1 个 1 阶的控制系统, 根据控制理论可知, 若无差跟踪输入的线性变化至少需要系统为 2 阶。在伺服环路中, 为了使系统能够无差跟踪晶振的线性漂移, 需要将系统设计成 2 阶, 因此有^[8]:

$$D(z) = \frac{2}{z-1} \left(K_p + K_i \frac{z}{z-1} \right) = \frac{(K_p + K_i)z^2 - K_p z}{(z-1)^2} , \quad (2)$$

此时系统的开环传递函数为:

$$G_0(z) = D(z)K_{VCO}K_{PRE} m , \quad (3)$$

系统闭环函数为:

$$G(z) = \frac{K_{PRE}K_{VCO}(K_p + K_i)z^2 - K_{PRE}K_{VCO}K_p z}{[(K_p + K_i)K_{PRE}K_{VCO} m + 1]z^2 - (2 + K_p K_{PRE}K_{VCO} m)z + 1} , \quad (4)$$

其中, K_{PRE} 是被动型氢钟物理系统的鉴频效率与放大电路比例系数之积, K_{VCO} 是环路中压控晶振的等效放大系数, m 是环路中倍频器的倍频系数。静态误差传递函数为:

$$e_{ss} = \lim_{z \rightarrow 1} (z - 1) \frac{r(z)}{1 + G_0(z)}, \quad (5)$$

将 $r(z) = \frac{z}{z-1}$ 和 $r(z) = \frac{zT}{(z-1)^2}$ 分别代入 e_{ss} 的表达式可知系统均无静差。

5 实验结果及分析

基于上述设计思想, 用 Verilog HDL 编写代码, 利用 Altera 公司的设计软件 Quartus II 5.0 编译和综合, 用 Mentor 公司 Modelsim SE 6.0c 进行仿真。图 6 为设计的仿真结果, 其中 clk1 为调制信号, clk2 为比率信号, clk3 为消隐信号。可以看出比率、消隐和调制信号在时序上符合系统的要求, 仿真符合要求后即可进行硬件设计验证、编译、综合和适配顶层设计文件, 并编译下载至目标器件中, 测试表明可以达到较稳定的输出结果。

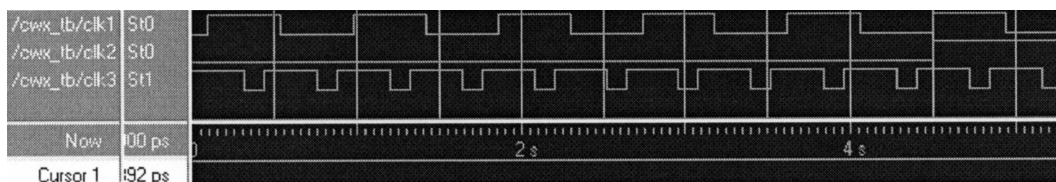


图 6 Medelsim 仿真波形图

图 7 为频率稳定度测试框图, 其中参考源为 VCH1003 主动型氢钟和 SHAO-4 型主动型氢钟。图 8 为被动型氢钟频率稳定度测试结果。被动型氢钟测试的频率稳定度与欧洲被动型氢钟指标对比如表 1 所示, 天 (86 400 s) 取样数为 26 个。

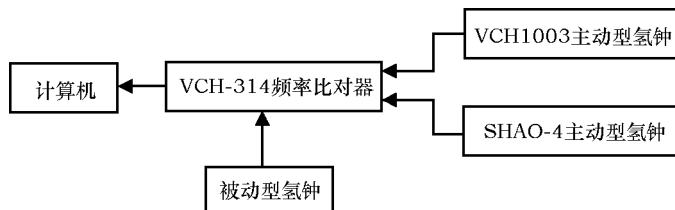


图 7 频率稳定度测试框图

从测试结果可以看出, 数字伺服系统的应用取得了成功。由于先进数字技术的应用使得被动型氢钟的可靠性得到很大提高, 并实现了被动型氢钟的自动锁定, 使得被动型氢钟向实用化方向发展迈出了重要的一步。另外新的数字伺服系统比原有的伺服系统具有更小的温度系数, 并增加了一些必要的滤波电路, 从而大大提高了系统的中短期和长期频率稳定度指标, 达到了国际先进水平。

Measurement time [s] ->	1	10	100	1000	3600	10000	1day	1e5	5e5
Mean Relative Freq. Diff. (E(Fy1x))	-1.542e-11		-1.545e-11						
Mean Relative Freq. Diff. (E(Fy2x))	2.192e-12		2.196e-12						
Mean Relative Freq. Diff. (E(Fy2y1))	1.761e-11		1.764e-11						
RMS Relative Freq. Diff. (var(Fy1x))	9.13e-13	2.86e-13	9.06e-14	3.31e-14	2.31e-14	1.91e-14	9.27e-15	8.51e-15	
RMS Relative Freq. Diff. (var(Fy2x))	1.01e-12	1.28e-13	2.50e-14	1.04e-14	8.55e-15	8.01e-15	6.98e-15	6.77e-15	
RMS Relative Freq. Diff. (var(Fy2y1))	1.36e-12	3.11e-13	9.37e-14	3.52e-14	2.56e-14	2.19e-14	1.20e-14	1.16e-14	
RMS Relative Freq. Diff. (var(Fx))	5.31e-14	3.01e-14	5.57e-15	4.30e-15	5.01e-15	5.01e-15	2.09e-15	2.93e-15	
RMS Relative Freq. Diff. (var(Fy1))	9.14e-13	2.85e-13	9.04e-14	3.34e-14	2.36e-14	1.97e-14	9.50e-15	9.00e-15	
RMS Relative Freq. Diff. (var(Fy2))	1.01e-12	1.25e-13	2.44e-14	1.12e-14	9.91e-15	9.44e-15	7.29e-15	7.38e-15	
RMS Two-sample Freq. Diff. (var2(Fy1x))	7.71e-13	2.81e-13	8.88e-14	2.78e-14	1.61e-14	1.35e-14	6.10e-15	5.97e-15	
RMS Two-sample Freq. Diff. (var2(Fy2x))	1.20e-12	1.40e-13	2.51e-14	6.68e-15	3.83e-15	3.16e-15	3.43e-15	3.42e-15	
RMS Two-sample Freq. Diff. (var2(Fy2y1))	1.42e-12	3.06e-13	9.17e-14	2.82e-14	1.65e-14	1.43e-14	6.10e-15	6.34e-15	
RMS Two-sample Freq. Diff. (var2(Fx))	4.33e-14	5.12e-14	7.54e-15	3.22e-15	1.45e-15	2.36e-15	2.42e-15	1.88e-15	
RMS Two-sample Freq. Diff. (var2(Fy1))	7.73e-13	2.77e-13	8.85e-14	2.76e-14	1.61e-14	1.37e-14	5.60e-15	5.66e-15	
RMS Two-sample Freq. Diff. (var2(Fy2))	1.20e-12	1.30e-13	2.39e-14	5.85e-15	3.54e-15	3.94e-15	2.43e-15	2.86e-15	
Real number of averages N	3996	398	24109	2410	668	240	26	23	

图 8 被动型氢钟频率稳定度测试结果

表 1 与欧洲氢钟频率稳定度指标对比

	1s	10s	100s	1 000s	10 000s	1d
上海台氢钟	7.7×10^{-13}	2.8×10^{-13}	8.9×10^{-14}	2.8×10^{-14}	1.4×10^{-14}	5.6×10^{-15}
欧洲氢钟	7×10^{-13}	2.5×10^{-13}	7×10^{-14}	2×10^{-14}	7×10^{-15}	3×10^{-15}

6 结束语

目前, DSP 速度越来越快, 成本越来越低, FPGA 容量越来越大, 封装越来越小, 使得 DSP+FPGA 组成的系统成为解决系统设计的重要选择方案之一。本文介绍了基于 DSP+FPGA 数字伺服系统设计方案, 大大减小了锁定后存在的剩余偏差, 将有差控制系统改进为无差或近无差系统。另外, 这样的系统结构对以后的升级和功能扩展非常有利, 可以进一步提升伺服系统的整体性能。

参考文献:

- [1] 张为群. 量子电子学报, 2001, 1: 18
- [2] 刘和平. TMS320LF2407X DSP C 语言开发应用. 北京: 北京航空航天大学出版社, 2003: 1
- [3] 王义道. 量子频标原理. 北京: 科学出版社, 1986: 7

- [4] 王辉. 电子工程师, 2003, 29: 44
- [5] MAX Inc. 10Bit Nonvolatile Digital Potentiometers MAX5481 datasheet, 2006
- [6] 张雄伟. DSP 芯片的原理与开发应用. 北京: 电子工业出版社, 2003: 2
- [7] 潘松. SOPC 技术实用教程. 北京: 清华大学出版社, 2005: 3
- [8] 吴麟. 自动控制原理. 北京: 清华大学出版社, 1992: 4

Digital Servo-control System of Passive Hydrogen Maser Based on DSP and FPGA

CHEN Wen-xing, LIN Chuan-fu

(*Shanghai Astronomical Observatory, Chinese Academy of Sciences, Shanghai 200030, China*)

Abstract: Study of passive hydrogen maser in Shanghai Astronomical Observatory is introduced. Electronics package has induced time-separated control method for the two control loop of passive hydrogen maser, which is benefit to short term and middle term frequency stability.

According to the characteristics of DSP and FPGA, the digital servo control system of passive hydrogen maser is designed, and the processing of error signal is realized. This project adopts advanced DSP and FPGA chips, and a new solution is provided. In this system, FPGA controls DSP and achieves the output. This paper introduces the hardware structure and software work flow of this system, and the preliminary experimental result is presented. The measured frequency stability is better than $1 \times 10^{-12} \tau^{-1/2}$ ($1 \text{ s} \leq \tau \leq 10\,000 \text{ s}$) and $1 \times 10^{-14} / \text{d}$.

Key words: miniature passive hydrogen maser; DSP; FPGA